

А.В. ИВАШКО, канд. техн. наук, проф. НТУ "ХПИ", г. Харьков
Д.А. ЛУНИН, ассистент, НТУ "ХПИ", г. Харьков

СТРУКТУРЫ ГЕНЕРАТОРОВ АДРЕСОВ ДЛЯ ПРОЦЕССОРОВ ТЕОРЕТИКО-ЧИСЛОВЫХ ПРЕОБРАЗОВАНИЙ

У статті розглянута структурна схема генератора адрес, що дозволяє істотно простіше обчислювати коефіцієнти теоретико-чисельних перетворень. При виборі структур бралось до уваги можливість їх реалізації на основі ПЛІС технологій. Приведені кількісні оцінки залежності швидкодії кристала від розмірності перетворення.

The flow diagram of address generators, allowing substantially simplify to compute the coefficients of number theoretic transform is considered in the article. At the choice of structures possibility of their realization on FPGA basis was taken into account. The quantitative estimations of dependence of computation speed of crystal are resulted from the dimension of transformation.

В последние годы проводятся интенсивные исследования в области разработки и применения дискретных ортогональных преобразований. Ортогональные преобразования нашли применение для фильтрации изображений, речевых сигналов, отбора признаков при распознавании образов, анализа и проектирования систем связи и спектроскопии. Исторически наибольшее распространение получило дискретное преобразование Фурье, ограничивающим фактором для которого является необходимость комплекснозначных вычислений и неизбежное наличие вычислительных погрешностей.

Применение же целочисленных дискретных преобразований Уолша и Хаара для задач фильтрации ограничивается тем фактом, что для них аналог теоремы свёртки либо отсутствует, либо имеет специфический вид. В то же время были предложены преобразования, которые не требуют комплексных вычислений как ДПФ, однако позволяют вычислять циклическую свёртку. Это так называемые *теоретико-числовые преобразования* (ТЧП) [1]. При их вычислении все расчёты производятся над конечным полем $GF(p)$, то есть по модулю простого числа p . ТЧП последовательности x_i , $i = 0 \dots N - 1$ определяется следующим образом

$$X_k = \sum_{i=0}^{N-1} x_i \cdot g^{ik} \pmod{p},$$

где модуль p и длина последовательности N не имеют общих сомножителей, а g выбирается так, чтобы выполнялось условие:

$$g^N = 1 \pmod{p},$$

Обратное ТЧП определяется как

$$x_i = N^{-1} \sum_{k=0}^{N-1} X_k \cdot g^{-ik} \pmod{p}$$

Такие преобразования обладают свойством свёртки. Это значит, что если для двух дискретных последовательностей x_i и h_i поэлементно перемножить коэффициенты ТЧП X_k и H_k , а затем вычислить обратное ТЧП от результата перемножения, то полученная последовательность y_i будет соответствовать результату круговой свёртки исходных последовательностей, приведенному по модулю p .

Применение на практике рассмотренных выше преобразований во многих случаях, к сожалению, ограничено в связи с большим требуемым объемом вычислений. В то же время существует ряд так называемых *быстрых* алгоритмов [2], позволяющих вычислять коэффициенты преобразования существенно проще. Базовой операцией алгоритмов быстрого теоретико-числового преобразования является так называемая “бабочка” (рис. 1).

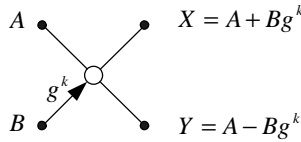


Рис. 1. Базовая операция алгоритма быстрого ТЧП “бабочка”

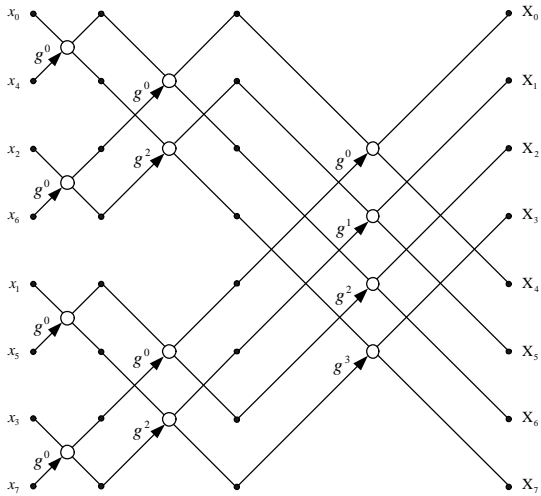


Рис. 2. Граф быстрого теоретико-числового преобразования с прореживанием по времени для $N=8$

Граф так называемого быстрого ТЧП с прореживанием по времени для случая $N=8$ изображен на рис. 2. Это алгоритм характерен тем, что коэффициенты с выхода снимаются в естественном порядке, а отсчеты подаются на вход в двоично-инверсном. Аналогично для любого N , являющегося степенью двойки номера отсчетов, поступающих на вход устройства БПФ, получаются как зеркальная инверсия двоичных кодов последовательности натуральных чисел.

Такая методика вычислений позволяет существенно сократить число арифметических операций при расчете ТЧП. При этом выигрыш в объеме вычислений при применении быстрых алгоритмов составит $2N/\log_2 N$.

Структурная схема, обеспечивающая вычисления ТЧП по выше изложенной методике изображена на рис. 3. Устройство управления генерирует адреса, подаваемые на ОЗУ и ПЗУ из которых считываются входные данные и элементы матрицы преобразования соответственно. Далее эти значения отправляются на арифметико-логическое устройство (ALU), после чего данные хранятся в ОЗУ до очередного этапа вычисления «бабочки».

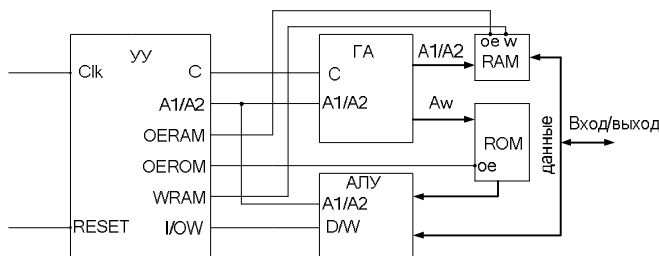


Рис. 3. Структурная схема устройства для вычисления ТЧП

Генератор адресов, обеспечивающий выдачу адресов в ОЗУ и ПЗУ, для случая $N=16$ представлен на рис. 4. Принцип действия схемы основан на том факте, что при вычислении быстрого ТЧП с прореживанием по частоте на каждом этапе последовательность адресов операндов формируется путем перестановки разрядов счетчика. Такая перестановка обеспечивается при помощи четырех мультиплексоров, на адресные входы которых подаются сигналы с выхода счетчика номера ступени преобразования. Входной тактовый сигнал CLK, обеспечивает синхронную работу схемы. Сигнал RESET, служит для сброса счетчиков в начале преобразования, а также для начальной установки триггеров $T1-T4$ в состояние 0111 соответственно. Выходные сигналы $a0-a3$, соответствуют адресам, подаваемым на ОЗУ, а сигналы $aw0-aw2$ – на ПЗУ.

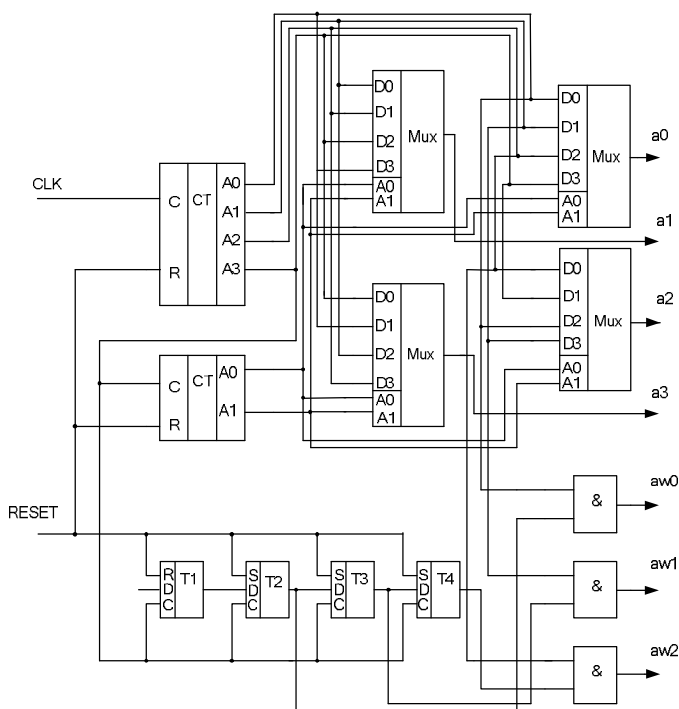


Рис. 4. Функциональная схема генератора адреса на 16 отсчётов

Цель статьи заключается в исследовании особенностей ПЛИС-структур генератора адресов ТЧП и оценке быстродействия и степени использования ПЛИС.

Для аппаратной реализации генератора адресов были выбраны программируемые логические интегральные схемы (ПЛИС). Описание моделей алгоритмов выполнялось на языке *VHDL*, который обеспечивает компактную запись для проектируемой схемы, что дает значительное сокращение трудоемкости и сроков разработки больших схем.

Моделирование функциональной схемы генератора адреса на 16 отсчётов велось с применением программного пакета *Active-HDL 6.1*. Синтез *HDL*-кода выполнялся при помощи пакета *FPGA Express*, который транслирует и оптимизирует описание на *HDL*-коде на вентиляном уровне. Реализация синтезированного кода на ПЛИС велась в пакете системы проектирования *Altera Maxplus II 10.1 BASELIN* на чипе *EPF10K70RC240-2* семейства *FLEX 10K*, в результате чего была получена зависимость быстродействия кристалла от размерности преобразования (рис. 5):

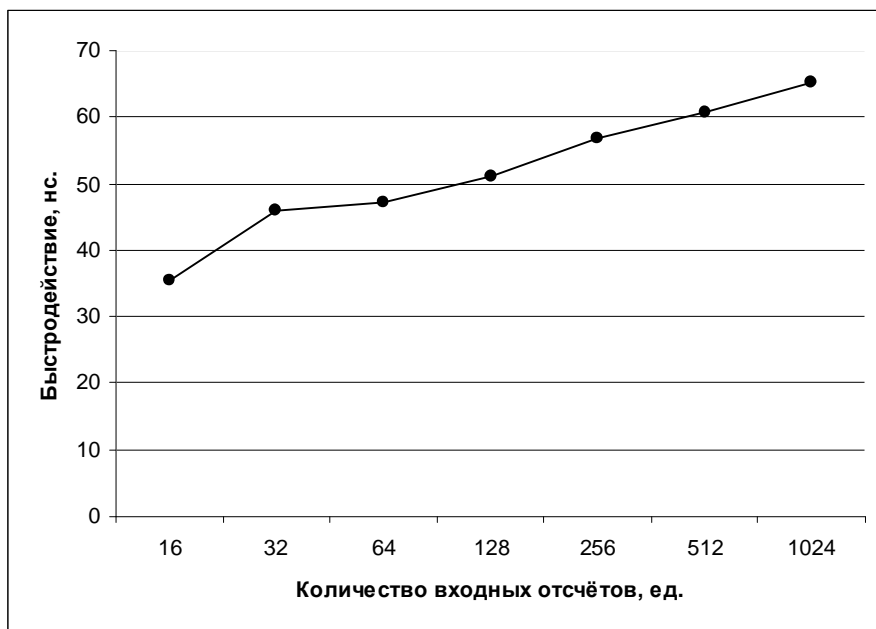


Рис. 5. Зависимость быстродействие кристалла от размерности преобразования

Таким образом, можно сделать вывод, что полученная схема, генератора адресов имеет следующие особенности:

Благодаря использованию конвейерной схемы быстродействие кристалла логарифмически зависит от размерности обрабатываемой последовательности, что позволяет обрабатывать значительные массивы информации без существенного ущерба для скорости вычислений.

В дальнейшем целесообразно провести исследования особенностей реализации на ПЛИС структур АЛУ в зависимости от различных значений модуля.

Список литературы: 1. Рабинер Л., Гоулд Б. Теория и применение цифровой обработки сигналов.- М.: Мир, 1990.- 850 с. 2. Ахмед Н., РАО К.Р. Ортогональные преобразования при обработке цифровых сигналов.- М.: Связь, 1980.- 248 с. 3. Иващенко А.В., Лукин Д.А. К вопросу об оценке структур быстрых теоретико-числовых преобразований. – Вестник НТУ «ХПИ».- 2008.- № 56, с. 102-105

Статья представлена д.т.н., проф. НТУ«ХПИ» Дербуновичем Л.В.

Поступила в редколлегию 10.07.09